

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 5 月 6 日 (06.05.2005)

PCT

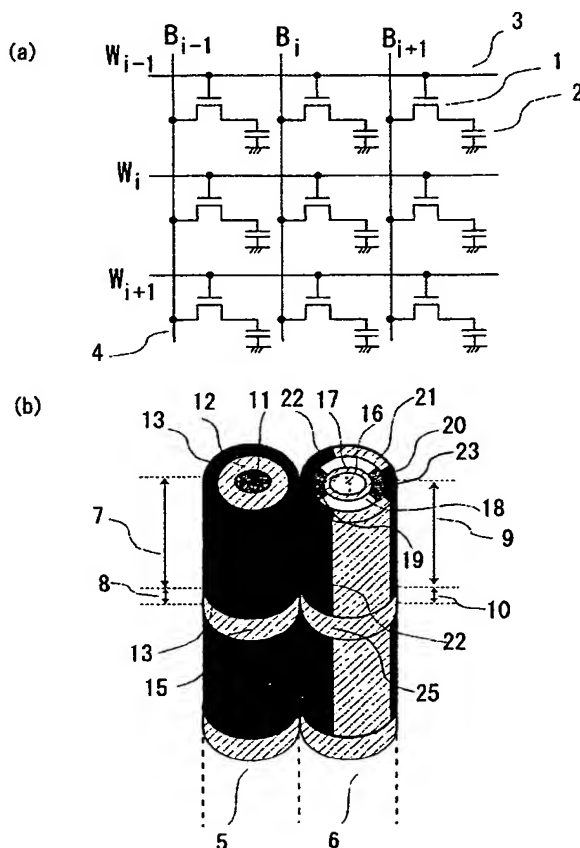
(10) 国際公開番号
WO 2005/041302 A1

- (51) 国際特許分類⁷: H01L 27/088, 27/092, 27/108, 29/06, 29/786, 21/336, 21/8238, 21/8249, 21/8242
- (21) 国際出願番号: PCT/JP2004/015934
- (22) 国際出願日: 2004 年 10 月 27 日 (27.10.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2003-369228 2003 年 10 月 29 日 (29.10.2003) JP
特願 2003-371640 2003 年 10 月 31 日 (31.10.2003) JP
特願 2003-374789 2003 年 11 月 4 日 (04.11.2003) JP
特願 2003-408349 2003 年 12 月 5 日 (05.12.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社イデアルスター (IDEAL STAR INC.) [JP/JP]; 〒9893204 宮城県仙台市青葉区南吉成六丁目 6 番地の 3 Miyagi (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 笠間 泰彦 (KASAMA, Yasuhiko) [JP/JP]; 〒9818007 宮城県仙台市泉区虹の丘 4 丁目 1 1 番地の 1 2 Miyagi (JP). 表研次 (OMOTE, Kenji) [JP/JP]; 〒9813222 宮城県仙台市泉区住吉台東 5 丁目 1 3-1 8 Miyagi (JP). 工藤 昇 (KUDO, Noboru) [JP/JP]; 〒9813341 宮城県黒川郡富谷町成田 7-2 1-1 3 Miyagi (JP).
- (74) 代理人: 福森 久夫 (FUKUMORI, Hisao); 〒1020074 東京都千代田区九段南 4-5-1 1 富士ビル 2 F Tokyo (JP).

[続葉有]

(54) Title: COMPLEMENTARY MISFET AND INTEGRATED CIRCUIT

(54) 発明の名称: 相補型MISFET及び集積回路



(57) Abstract: Conventionally, integrated circuits such as semiconductor memories, image sensors, and PLAs have been fabricated on rigid, planar substrates such as silicon substrates. Therefore the shape has lacked flexibility and their application has been limited. Since circuit elements have been provided continuously on a flat surface, it has been impossible to manufacture acceptable semiconductor memories unless all the circuit elements with no defect are fabricated, and it has been difficult to improve the production yield. A planar semiconductor memory is fabricated by weaving linear elements into a fabric, or a linear semiconductor memory is fabricated by bundling linear elements. An integrated circuit composed of linear elements is flexible and lightweight, and therefore has various uses. Since an integrated circuit can be produced by selecting only acceptable linear elements fabricated, the production yield of the integrated circuit is improved.

(57) 要約: 半導体メモリー、イメージセンサー、PLAなどの集積回路は、シリコン基板などリジッドで平面状の基板に形成されていた。そのため、形状に柔軟性がなく、応用が限定されていた。また、複数の回路素子を平面上に連続して形成しているため、すべての回路素子を欠陥なく作製しないと良品の半導体メモリーを製造することができず、歩留まり向上が困難であった。線状素子を布状に織る、または編むことにより、平面状の半導体メモリーを作製したり、線状素子を束ねて線状の半導体メモリーを作製することにした。線状素子からなる集積回路は、柔軟性があり軽いため多様な用途に用いることができる。一度、線状素子を作製して、良品の線状素子のみ選択して集積回路を作製できるので、集積回路の製造歩留まりが向上する。

BEST AVAILABLE COPY

WO 2005/041302 A1



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。